

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-127144

(43)Date of publication of application : 30.05.1991

---

(51)Int.Cl. G06F 12/02  
G11C 11/401

---

(21)Application number : 02-244142 (71)Applicant : INTERNATL  
BUSINESS  
MACH  
CORP  
<IBM>

(22)Date of filing : 17.09.1990 (72)Inventor : WEST  
RODERICK  
MICHAEL  
PETERS  
BATES  
MATTHEW  
DAMIAN  
GAY  
ADRIAN C  
WILLIAMS  
TODD

---

(30)Priority

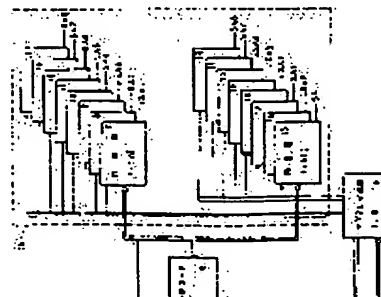
Priority number : 89 89310459 Priority date : 12.10.1989 Priority country : EP

---

(54) MEMORY AND METHOD FOR ALTERING ACCESS ROW

(57)Abstract:

PURPOSE: To provide a memory which has the speed advantage of a page mode and which speedily updates a vertical line by providing a means for advancing a row address on a selected column cycle in the row



cycle for a control means.

CONSTITUTION: A circuit block for an address designation sub-system for random access memory, control signal/bus, a row increment/decrement control circuit 2 and an increment/decrement circuit 4 are provided. An address buffer control circuit 1 monitors the address multiplex of an address buffer 3 and monitors the operation of the row increment/decrement circuit 2. The control circuit 2 obtains the command of row change direction and row advance from row change input RC with descending conversion or RAS and CAS. The address buffer control circuit 1 generates timing information for the address designation sub-system of the random access memory from RAG/CAS input part. Thus, the memory which can speedily update a horizontal line and the vertical line and which can operate at the page mode can be provided.

---

## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal  
against examiner's decision of  
rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平3-127144

⑮ Int. Cl.<sup>5</sup>

G 06 F 12/02  
G 11 C 11/401

識別記号

5 7 0

庁内整理番号

8841-5B

⑭ 公開 平成3年(1991)5月30日

8323-5B

G 11 C 11/34

3 6 2 D

審査請求 有

請求項の数 12 (全12頁)

⑮ 発明の名称 ページ・モードで動作するメモリ

⑯ 特 願 平2-244142

⑰ 出 願 平2(1990)9月17日

優先権主張 ⑱1989年10月12日 ⑲欧州特許機構(E P) ⑳89310459.6

㉑ 発 明 者 ロードヴィック・マイ イギリス国ハンプシャー、チャンドラーズ・フオード、ノ  
ケル・ビーターズ・ ース・ミラーズ・デイレ、バルモバル・クロス 1番地  
ウエスト

㉒ 発 明 者 マシユー・ダミアン・ イギリス国ハンプシャー、サウスハンプトン、シヤレイ、  
パターズ コックスフオード、バーンズ・プレス 4番地

㉓ 出 願 人 インターナショナル・ アメリカ合衆国10504、ニューヨーク州 アーモンク(番  
ビジネス・マシーン 地なし)  
ズ・コーポレーション

㉔ 代 理 人 弁理士 頓 宮 孝一 外1名  
最終頁に続く

明 細 書

1. 発明の名称 ページ・モードで動作するメモリ

2. 特許請求の範囲

(1) 行及び列によってアドレス可能であり、ページ・モードで動作可能なメモリであって、制御手段により行アドレスが行サイクルのために選択され、前記行サイクル内に複数の列サイクルが実行され、選択された列アドレスでメモリにアクセスするものであって、

前記制御手段は更に、前記行サイクル内の選択された列サイクルについて行アドレスを進めるための手段を含むことを特徴とするページ・モードで動作するメモリ。

(2) 列アドレス・ストローブが活動状態になると、前記の制御手段が、前記メモリに供給される行変化信号にตอบสนองして、前記行アドレスを進めることを特徴とする、請求項1に記載のページ・モードで動作するメモリ。

(3) 前記の制御手段が、行アドレス・ストローブが活動状態になって、前記メモリを選択された行変化モードにセットすると、前記メモリに供給されるモード信号にตอบสนองし、前記の行変化モードは、前記行変化信号にตอบสนองして前記制御手段によって実行される行アドレス・ステップを定義する、ことを特徴とする請求項2に記載のページ・モードで動作するメモリ。

(4) 前記の制御手段が、前記モード信号にตอบสนองして、前記メモリを行増分モードまたは行減分モードのいずれかにセットし、そして、前記行アドレス・ストローブが活動状態になって、前記アドレスによって選択された行と、行増分モードではより高いアドレスまたは行増減モードではより低いアドレスをもつ少なくともさらに1つの行を活動化することを特徴とする、請求項3に記載のページ・モードで動作するメモリ。

(5) 前記の制御手段が、前記モード信号にตอบสนองして、行増分モードで、現在活動化されている最低アドレスを有する行を不活動化し、そしてより高

いアドレスをなお有する1つの行を活動化するか、または行減分モードで、現在活動化されている最高アドレスを有する行を不活動化し、そしてより低いアドレスをなお有する1つの行を活動化する、ことを特徴とする請求項4に記載のページ・モードで動作するメモリ。

(6) 前記メモリが少なくとも2つのセグメントに分けられ、前記の制御手段は、各セグメント中の1つの行の最大が列サイクルのために活動状態にあることができるように配置されている、ことを特徴とする請求項5に記載のページ・モードで動作するメモリ。

(7) 前記の請求項1ないし6のいずれかに記載のメモリを含む、ことを特徴とする表示システム用の表示メモリ。

(8) 請求項7に記載の表示メモリを有する表示システム。

(9) 行アドレスが行サイクルのために選択され、この行サイクル内で複数の列サイクルが実施されてメモリの選択された列アドレスにアクセスする

くともさらに1つの行、または第2モードのより低いアドレスをもつ少なくともさらに1つの行を活動化するサブステップ

を含む、請求項9に記載のメモリの制御方法。

(11) ステップ(b)が更に、

(j) 列アドレス・ストロブが活動状態になると、メモリに供給されるモード信号に回答して、前記第1モードで、現在活動化されている最低アドレスをもつ行を不活動化して、より高いアドレスをもつさらに1つの行を活動化するか、または、前記第2モードで、現在活動化されている最高アドレスをもつ行を不活動化して、より低いアドレスをもつさらに1つの行を活動化するサブステップ

を含む、請求項10に記載のメモリの制御方法。

(12) (a) 線の出発点と線上の次点への方向についての、最初の行アドレスと列アドレスを決定するステップと、

(b) 前記の線上の次点への方向を表す行変化モード信号を発生させ、行アドレス・ストロブ

ように、行と列によってアドレス指定可能であり、かつページ・モードで動作可能であるメモリにおいて、

a) 行アドレス・ストロブが活動状態になると、メモリに供給されるモード信号に回答して、メモリを選択された行変化モードにセットし、この行変化モードは行アドレス・ステップを行変化信号に回答して実施されるよう定義するステップと、

b) 列アドレス・ストロブが活動状態になると、メモリに供給される行変化信号に回答して、行変化モードによって定義されるように、行アドレスを進めるステップと

を含む、選択された列アクセスのためにアクセスされる行を変化させるメモリの制御方法。

(10) ステップ(a)が更に、

(i) 前記の行アドレス・ストロブが活動状態になると、メモリに供給される行アドレスに回答して、行アドレスによって選択された行と、第1モードのより高いアドレスを有する少な

が活動状態になると、前記モード信号と前記初期行アドレスを前記メモリに供給し、前記メモリを適切な行変化モードにセットし、行アドレスを選択するステップと、

(c) 第1列アドレス・ストロブが活動状態になると、前記初期列アドレスを前記メモリに供給し、前記初期行アドレスと列アドレスによって指定された場所にアクセスし、その場所で画素をプロットするステップと、

(d) 増分線画アルゴリズムにしたがって、線上の次点についての列アドレスと行変化信号を決定し、行変化信号の値は、行の変化が前記次点に必要なか否かを判定するステップと、

(e) 次の列アドレス・ストロブが活動状態になると、前記列アドレスと行変化信号を前記メモリに供給し、前記次点のための適切な場所にアクセスし、その場所で画素をプロットするステップと、

(f) 線上の後続の点について(d)～(e)のステップを繰り返すステップ、

を含む表示システムにおいて線プロットする方法。

### 3. 発明の詳細な説明

#### A. 産業上の利用分野

本発明は、ページ・モードで動作可能なメモリに関する。

#### B. 従来の技術

ランダム・アクセス及びランダムにアクセス可能な読取専用メモリなどのメモリは、通常は、行と列によってアクセス可能な記憶位置のマトリックスまたは記憶位置のグループとして配列される。メモリ位置の様々な構成が可能である。たとえば、1メガビットのメモリは512行と512列の上にアドレス可能な4ビット256Kワードとして、配列することができるので、特定の行と列にアドレス指定することは、4つの記憶位置のグループへのアクセスを与える。1つの代替構成は、512行と256列、または256行と512列のいずれかにアドレス可能な8ビット128Kワードとしてであり、このため特定の行と列にアドレス

指定することは、8つの記憶位置のグループへのアクセスを与える。もちろん、これらは多くの可能な構成のうちのただ2つである。

多くの色々な形式のランダム・アクセス可能メモリがある。例として、読取専用メモリ(ROM)、プログラム式ROM(PROM)、静的ランダム・アクセス・メモリ(SRAM)、動的RAM(DRAM)、及びビデオRAM(VRAM)が挙げられ、後者はDRAMの特定の形式である。これらのメモリは通常、それぞれRAS(行アドレス・ストロブ)及びCAS(列アドレス・ストロブ)と呼ばれるタイミング信号にตอบสนองして、メモリ内でまず行を選定し、次に列を選定して、アクセスされる。RAMをこのような正常アクセス中に、行アドレス・サイクルは、列アドレス・サイクルと交替し、各行列サイクルの対は、特定の行列アドレスを有するビットまたは複数のビットへのアクセスを許す。

しかしあるメモリでは、一般に「ページ・モード」と呼ばれる追加のアクセス方法が、どの複数

列が単一行サイクル内で実施されるか、に従って提供される。「静的行サイクル」という用語は、この機構形式のために使用されてきた。しかし、「ページ・モード」という用語は、当技術分野では、この形式のアクセス機構を網羅する一般用語として広く知られている。通常、行アドレスはページ・モード行サイクルのために選定され、その行サイクル内では、複数の行サイクルが実施されて、その行の選定された列アドレスにおいてメモリをアクセスする。新しい行アドレス・ストロブに各メモリ・アクセスが提供される必要性を避けることによって、単一行内で発生するデータに対する速いアクセスが可能になった。

RAMのための1つのアプリケーションは、表示システム中の全点アドレス可能(APA)表示メモリである。最近のAPAラスト表示では、見ようとする像は、動的ランダム・アクセス・メモリ(DRAM)またはビデオ・ランダム・アクセス・メモリ(VRAM)から成るメモリ・サブシステム・フレーム・バッファ中に、画素(ピクセ

ル)として1点ごとに記憶される。これらの設計によって、任意に複雑な像のために、画素内容の任意更新ができるようになる。

記憶された情報は、定期的に再生されてビデオ・モニタ上に像を復元するか、または更新されて表示された像を変更する。ラスト走査表示のために、水平線更新は一般にページ・モードで起こり、この場合、アクセスされた行の上のデータは、走査線上の隣接画素に対応する複数の列位置で、拡張更新帯域幅について更新される。しかし、垂直線更新は一般に、複数順次行アクセスを必要とし、ランダム・サイクル・タイム性能で像変更を実行するのに、ページ・モード更新より4倍長い時間を要する。

第5図に示す公知の表示メモリにおいて、水平線用の画素データはメモリの1行に隣接列位置に記憶され(たとえば、C[a]、C[a+1]、C[a+2]、など)、一方、垂直線は複数行を横切る1つの列に記憶される(たとえば、C[a]、C[b]、C[c]、など)、と想定する。他の

記憶の慣例を使用してもよいことは理解されよう。この一般的な場合では、ページ・モードの行の上の順次記憶セルに単にアクセスすることによって、水平の直線をプロットするためにページ・モードを使用することができる。しかし、ページ・モードは垂直線には有利ではなく、中間角をなす線や曲線に何か利点はあるとしても、それは極くわずかである。第6図に示すように、従来知られた連続RASサイクルは、与えられた垂直線に沿って各画素、C[a]、C[b]、C[c]にアクセスすることが必要である。結果として、連続的な行から行へのアクセスのために、性能は非常に低下する。

#### C. 発明が解決しようとする課題

本発明が扱わなければならなかった最初の問題は、表示の更新性能またはプロット性能における空間的相違の解決であった。この問題を分析して、それはページ・モードによるランダム・アクセス・メモリの基本的ハードウェアの制限に由来したことがわかった。

いてのアクセス・サイクル内で、第2メモリ次元についての複数のアクセスを使用可能にする、アクセス機構をカバーする一般用語として理解すべきである。したがって用語「ページ・モード」は本明細書では、時々「静的列モード」と呼ばれるメモリ・アクセス機構と、他のそのようなアクセス機構をカバーするとして、理解すべきである。

本発明は、SRAM、DRAM、VRAMを含む各種のROM形式の下で動作可能な、すべてのメモリに適用可能である。実際、本発明の例を2次元で構成されて2つのアドレス構成部分を受け取るメモリについて説明するが、本発明は、3次元で構成されて各次元のためのアドレス構成部分を受け取るメモリにも適用できる。

制御手段は、列アドレス・ストローブ(CAS)が活動状態になって、前記行アドレスを進めるとき、前記メモリに供給された行変化信号(RC)に回答することが好ましい。これによって、1つの行サイクル内で特定の列サイクルについて行アドレスを進めることが、最少の追加情報によって

したがって、本発明の目的は、前記の欠点のない、ページ・モードの速度利点をもたらす、垂直線更新の速いメモリを提供することである。

#### D. 課題を解決するための手段

本発明により、行及び列によってアドレス可能で、ページ・モードで動作可能なメモリが提供される。このため、行アドレスは行サイクルについて選定され、前記行サイクル内で、複数の列サイクルが実行され、この列サイクルで、選定された列アドレスにおいてメモリにアクセスする。この場合、前記メモリは、前記行サイクル内の選定された列サイクルについて行アドレスを進める(steppping)ための制御手段を余分に含む。

「行」及び「列」の用語を、本明細書では、メモリの第1次元及び第2次元のためのラベルとして使用するが、これは当技術分野では慣習的な用語である。したがって、これらは、単にそれぞれ第1メモリ次元用ラベル及び第2メモリ次元用ラベルとして、理解すべきである。同様に、「ページ・モード」という用語は、第1メモリ次元につ

達成できる。次に、ある行変化信号に回答して行なおうとするステップをあらかじめ定義することによって、信号ビットを使用して、このステップが所与の列サイクルについて起こるべきか否か、を特定することができる。

実行しようとするステップがプログラムで予備定義できるようにするためには、行アドレス・ストローブが活動状態になって、選定された行変化モードで前記メモリをセットすると、前記メモリに供給されたモード信号に制御手段が回答することが好ましい。次に、この行変化モードは、その行サイクル内で任意の行変化信号に回答して、前記制御手段によって実行された行アドレス・ステップを定義する。たとえば、このステップは、メモリ・ハードウェアによって、たとえばレジスタ内の値によって定義された量による、増分または減分となり得る。

メモリが、前記モード信号に回答して、行増分モードまたは列減分モードのいずれかでセットされる場合、制御手段は、前記行アドレス・ストロー

ブが活動状態になって、前記行アドレスによって選定された行、及び行増分モードのより高いアドレスまたは行減分モードのより低いアドレスを有する少なくとも1つの行を活動化するとき、メモリに供給される行アドレスに回答することが好ましい。こうして、第2行はすでに活動化され、行アドレス・サイクル中に行変化信号がメモリに供給されるはずである。前記の増分量または減分量が+1または-1である場合には、活動化された行は隣接行アドレスを有することになる。

有利なことに、複数の行が同時に活動化される場合には、活動化された行の変化は、行アドレスが行変化信号に回答してステップされるときに行なわれる。

本発明の好ましい形式では、メモリは少なくとも2つのセグメントに区分化されて、行アドレス中の少なくとも1つの行アドレス・ビットがメモリ・セグメントを選定するために使用され、残りの行アドレス・ビットは各セグメント内の行を選定するために使用される。メモリの区分化は、個々

の行と列へのローディングを減少するために、大型メモリで採用される。これは、信号生成・伝播の遅延を減少させ、一方データ転送率の変動と電力消費の両方を減少させる。本発明による、メモリの区分化は、物理的に分離したサブアレイ中に論理的に順次行を置くことによって、複数行の同時活動化を簡易にすることも可能にする。

行変化方向信号及び/または行変化信号を、メモリの専用制御線に供給することができる。この制御線は、行変化方向信号と行変化信号が異なった時間に供給されると、この両者の間で共有できる。また代替として、これらを他の適当な方法でメモリに供給できる。たとえば、これらを、前記のこれらの信号を供給する必要があるときに使用されない1つまたは複数の線に含むこともでき、または、レジスタに記憶された命令の一部として記憶することもできる。

本発明のランダム・アクセス・メモリは、特定であるが非排他的アプリケーションを、表示システム用の表示メモリとしている。したがって、本

発明は、先に定義したようなランダム・アクセス・メモリ、及び表示メモリを組み込む表示システムを含む表示メモリにも関する。本発明はまた、ランダム・アクセス・メモリにアクセスする方法、及びそのランダム・アクセス・メモリを組み込む表示システムで線をプロットする方法にも関する。

#### E. 実施例

まず、概要を説明する。

第5図は、典型的な表示メモリ、すなわちフレーム・バッファを示し、ラスト走査表示のビット・マップはRAMに記憶された画素データの行と列の位置を示す。水平更新は、ページ・モードでアクセス可能な複数の列アドレス( $R_1, C_0 \sim C_{n-1}$ )の上に位置するように示され、一方、垂直線は、複数行を横切る、1つの列アドレス( $R_1 \sim R_1, C[a, b, c, d]$ )を示している。

第6図は、160 nsのランダム・アクセス時間を有するメモリと合う、ランダム行サイクル・タイミングを使用する通常のRAMから成るフレーム・バッファの中で、垂直線用の画素データを更

新するために必要なタイミング順序を示す。各サイクルで、1行がアクセスされ、データが書き込まれ(または読み取られ)、そして次の行がアクセスされる。

第2図は、第6図と同じタイミングの場合の、本発明の1実施例におけるタイミングを示す。内部行活動化を伴うページ・モードが、読取りサイクルと書込みサイクルの両方について示されている。タイミングは、ランダムRAS(160 ns)及びページ・モード・サイクル(40 ns)との間で4:1の差を想定する。すべてのタイミング図は同じ性能を前提にして描かれている。タイミングは、食い違った方式と同時方式の両方で発生する最初の行アクセスを示し、両方式の実施可能性を実証する。

第1図は、本発明によるランダム・アクセス・メモリ内でのアドレス指定及びタイミング順序に必要で、第2図に示すタイミングと合う、制御要素を図示する。図示されたランダム・アクセス・メモリは、8データ・ビット、1024行、51



2列の、512K×8の4Mbメモリである。

第3図は、第2図と第1図におけるタイミング図及びブロック図を支援するサブアレイを有する、4Mbランダム・アクセス・メモリのためのアレイ区分化の1例である。メモリは8アレイ・ブロック、すなわちオクタント(512Kb)から成り、これはさらに8つのサブアレイ(64Kb)に再分される。各サブアレイは、行増分減分モードで動作するとき、第1図の大域論理の制御の下で、独立して動作可能である。

第4図は、本発明のメモリを使用して全システム性能を拡張する、典型的なワークステーション図形表示サブシステムの1例である。

次に、本発明の1実施例の詳細を、第2図の内部メモリ・タイミングと外部メモリ・タイミングを引用して説明する。実施例では、RCが下記の機能を実施する制御信号として導入される、と想定する。

(1) . 下降RAS変換では、順次行アクセスが生じることになる方向を指示する。すなわち、

アクセス・メモリ設計に典型的である。示された事例は、行あたり1列アドレス更新による、垂直線用の上左隅における画面原点(0, 0)(第5図)に基づく行増分を実証する。これらのタイミングの機能的要件を実行するには、次のRAM構成と回路拡張が必要である。

(a) 増分範囲内の行を明確なサブアレイに物理的に分離すること(第3図)。

(b) 独立した同時サブアレイの動作、複数のサブアレイ行復元の活動化、モード選定と内部行増分/減分、及び復元動作のための追加支援回路と制御論理(第1図)。

第2図において、最初の下降RAS変換で、行変化信号(RC)は正であり、論理行アドレス増分が、開始されたRASサイクル内に指定された後続の行変化のために発生することを示す。最初のアクセスで、アドレス指定された行が選定され(サブアレイSA1)、またそれぞれのサブアレイ(第3図)中の次の3行(R2、R3、R4)も選定される。これらのサブアレイの各々へのア

RC=0の場合には、行アドレスが増分される。

RC=1の場合には、行アドレスが減分される。

(2) . 下降CAS変換では、このような行変化が生じるときを指示する。すなわち、

(a) RC=0の場合には、アクセスは現在行(R)の特定の列アドレスで生じることになる。

(b) RC=1の場合には、ステップ1で特定されたように、アクセスは、現在アドレス(R)から次行アドレス(R±1)の特定の列アドレスで生じることになる。

上記図に合う、1毎の増分または減分が検討されるが、他の事前決定された量によるアドレスの変化を、設計によって実施し、あるいはRCを用いて所望のレジスタを選定する記憶レジスタ内でプログラムできる。所与の設計構成が、複数の増分値または減分値を支援できる。これらのタイミングでは、160nsのランダム・サイクル・タイムと40nsのページ・モード・サイクルが使用される。この性能比率(4:1)は、いわゆる「急速ページ・モード」を有する多くのランダム・

アクセスは食い違っている行なわれ、それにより電力の浪費とチップ給電交換ノイズを減らす。チップ設計の最適化のためのパラメータの変化をここに説明する機構を実施するときには考慮しなければならない。

第1下降CAS変換では、行変化信号(RC)は負で、データ・アクセスは原点行R1と指定された列アドレスC[A]で発生することを示す。

第2下降CAS変換では、RCは、次の行アドレスR2への正の指示アクセスであり、指定された列アドレスC[B]にある。同時に、行R5は後続行変化を見越して活動化される。

次の上昇CAS変換では、R5のアクセス後にR1は復元されて、電力とノイズの生成を減らす。行復元及びアクセス・サイクルは、いずれかのCAS端で発生することがあり、制御論理タイミングでは固有となる。R1復元を完遂した後、サブアレイSA1は次の行アクセス用に使用可能となる。これは、行選定が介入するサブアレイの各々を介してステップした後に、R9へのアクセスと

して発生する。サブアレイの数と最初にアクセスされた行の数の決定は、チップ構成、RAS及びCASサイクル時間、語線区分化、チップ密度、及びサブアレイ復元時間を考慮して作られる。

続く下降CAS変換の各々では、RCは行変化を呼び込む。示されたタイミングについては、行アクセスは各アレイに順次に発生し、行R9でサブアレイSA1に戻り、この時まで、サブアレイSA1の行R1は適当に復元されている。これらのタイミングは行の選択先読みをもたらし、十分なリード・タイムで追加論理回路の制御の下で復元し、ページ・モードのデータ転送率で継目のないデータ転送を保证する。たとえば、行R5は第2下降CAS変換によってサブアレイSA5の中で選択される。データはその後の利用可能な2つのCASサイクルであり、次のCASサイクル(C[E])内でアクセスされる。第2CASサイクルの正の変換も、サブアレイSA1内で行R1を復元する。すなわち、復元は完成され、サブアレイSA1はサイクル(C[E])での行選択

に利用可能である。行R9は、RCに応答して、サイクル(C[F])中にサブアレイSA1で選択される。行R9からのデータはサイクル(C[H])で利用可能となり、サイクル(C[I])でアクセスされる。

RCが所与の下降CAS変換で負のままである場合には、列アクセスが通常ページ・モード動作として現在行で継続する。新しい行の選定と復元は、RCが現在行はもう必要ではないと指定するまで遅延され、そして新しい行がアクセスされる。ページ・モード速度とタイミングは維持される。書き込み活動開始とデータイン更新のタイミングもタイミングの中に指定される。CASアドレス指定は、通常ページ・モード動作のアドレス指定から変化しない。

プロセスは、RASが高レベルに戻ってチップ選定を終えるまで、後続のサイクルを継続する。前述の例では、行変化信号は、新しい行が現CASサイクル中でアクセスされようとしていることを指定する。あるCASサイクル中のRCを次の

サイクルで実行されるように指定するような代替法も、制御論理の中に組み込むことができる。採用された配置は、柔軟性を提供し、ルック・アヘッドの要素を持たず、空サイクルまたは同期化を必要とせず、一般クラスのグラフィック・アダプタ及びシステム・キャッシュに合った本発明の利点を示す。

第1図は、上記した第2図に示す本発明によるタイミングに合った、ランダム・アクセス・メモリ内のアドレス順とタイミング順に必要な、制御要素を示す回路ブロック図である。図示したアドレス指定サブシステムは、8データ・ビット、1024行、512列による、512K×8として組織された、4Mbランダム・アクセス・メモリのものである。このようなメモリ装置は、10行アドレス・ビットと9列アドレス・ビットを必要とし、これは第1図に示す10ビット・アドレス入力部A0-9を通じて供給される。第3図に示すように、メモリ・アレイは物理的に、各データ入出力に関連する512Kの1ビット・メモリ位

置の8つの8分空間に分割される。各8分空間は、さらに8つのサブアレイに再分割され、各アレイは行アドレスの最低位の3ビットによってアドレス指定される。第1図の復号器回路25は、8回繰り返されて、1回に8つの8分空間の1つを繰り返す。各サブアレイは、行/列の対の各々に関連するデータの単一ビットによる、128行512列で組織されている。サブアレイの行は、行アドレスの最高位の7つのビットによってアドレス指定される。サブアレイの列は、9ビット列アドレスによってアドレス指定される。

第1図は、従来のランダム・アクセス・メモリ用のアドレス指定サブシステムのための回路ブロックと制御信号/バスに加えて、本発明によるランダム・アクセス・メモリ用の回路ブロックと制御信号/バスを備えている。本発明により追加された回路ブロックは、行増分/減分制御回路2と増分/減分回路4である。また追加された制御信号/バスは、追加回路ブロックへ、およびそこからの制御信号/バスである。

アドレス・バッファ制御回路 1 は、アドレス・バッファ 3 のアドレス多重化を監視する。行アドレスと列アドレスは、それぞれ RAS 及び CAS の下降変換で、アドレス入力部 A0-9 から得られる。またアドレス・バッファ制御回路 1 は、行増分/減分制御回路 2 の動作を監視する。この制御回路 2 は、行変化方向と行前進 (stepping) の指令をそれぞれ RAS 及び CAS の下降変換で、行変化入力 RC から得る。アドレス・バッファ制御回路 1 は、RAS 及び CAS 入力部からのランダム・アクセス・メモリのアドレス指定サブシステムのための、タイミング情報を生成する。

従来の単一行メモリ・アクセスについては、RAS 下降変換で、行アドレスがアドレス・バッファ 3 からブレデコーダ 5 を介して行復号器 7-14 へ渡され、これらの行復号器は、行アドレスの最上位の 7 ビットを復号する。行アドレスの最下位の 3 ビットは、アドレス・バッファ 3 からサブアレイ選択回路 6 へ渡され、このサブアレイ選択回路 6 は、8 つのサブアレイのどれがアドレス指定

よって、RAS 下降変換において RC 入力レベルから得られる。最初の行アドレスの最上位の 7 ビットは、増分/減分回路 4 によって行復号器 7-14 へ渡される。増分/減分回路 4 は、サブアレイ選択回路 6 に、最初にアドレス指定された行にアクセスを始めるために、最初の行アドレスの最上位 3 ビットに基づいて、8 つのサブアレイの 1 つを選択するように指示する。増分/減分回路 4 は、またサブアレイ選択回路 6 に、さらにサブアレイを選択してさらに論理的に続く行へのアクセスを開始することを指示する。

CAS 下降変換では、列アドレスは、アドレス・バッファ 3 からブレデコーダ 5 を介して列復号器 15-22 へ渡される。行変化命令は、行増分/減分制御回路 2 によって、CAS 下降変換において RC 入力レベルから得られる。増分/減分回路 4 は、サブアレイ選択回路 6 に、活動 CAS 期間中にアドレス指定されている行について、サブアレイの列復号器を選択するように指示する。増分/減分回路 4 の指令の下で、行変化命令に回答し

されつつあるかを判定する。サブアレイ選択回路 6 は、8 つのサブアレイの 1 つを選択し、この結果、行復号器 7-14 の 1 つがアドレス指定された行にアクセスする。CAS 下降変換では、列アドレスはアドレス・バッファ 3 からブレデコーダ 5 を介して列復号器 15-22 に渡され、これらの列復号器は 9 ビット列アドレスを復号して、512 列のどれをアドレス指定するかを判定する。サブアレイ選択回路 6 は、8 つのサブアレイ列復号器のどれが選択されるかを制御する。

本発明の行増分/減分ページ・モードで動作するときは、行アドレス指定は、行アドレス選択のための RC とアドレス・バッファ制御回路 1 から RAS/CAS タイミング情報を使用して、行増分/減分制御回路 2 の制御の下で、増分/減分回路 4 によって実施される。列アドレス指定は変化しないままである。

RAS 下降変換では、最初の行アドレスは、アドレス・バッファ 3 から増分/減分回路 4 へ渡される。行変化命令は、行増分/減分制御回路 2 に

て、サブアレイ選択回路 6 は、サブアレイ行復号器 7-14 に対する選択を変えることによって、行増分/減分のステップ順序を実行する。さらに続く行へのアクセスを開始するために、サブアレイ選択回路 6 は、順序では次にあるサブアレイ行復号器に対する選択を活動化する。増分/減分回路 4 は、行アドレスの最上位 7 ビットを新たに選択された行復号器に供給する。順序では通過した行について行復元を開始するために、サブアレイ選択回路 6 は、影響を受けた行復号器に対する選択を不活動化する。

本発明のメモリは、第 4 図に示すような図形表示システムのフレーム・バッファ用に、ワークステーション形式で使用できる。ワークステーションは、通常のマイクロプロセッサ形式の中央演算処理装置 80、及び表示メモリ 91 (第 5 図) を組み込んだ表示アダプタ 90 を含むその他多くの装置からなる。各種の装置が、システム・バス 92 を介してマイクロプロセッサに接続されている。システム・バスには、システム・メモリ 82 及び

読取専用記憶機構 (R O S) 8 1 が接続されている。マイクロプロセッサの動作は、オペレーション・システムと R O S 及び R A M に記憶されたアプリケーション・コードによって制御される。I/O アダプタ 8 3 は、システム・バスをディスク・ユニットなどの周辺装置 8 4 に接続するために設けられる。同様に、通信アダプタ 8 5 は、ワークステーションを外部プロセッサ (たとえばホスト・コンピュータ) に接続するために設けられる。キーボード 8 7 は、キーボード・アダプタ 8 6 を介してシステム・バスに接続される。表示アダプタ 9 0 は、表示装置 9 4 上のデータの表示を制御するために使用される。

ワークステーションは多種多様な働きをする。その仕事の 1 つのクラスに、グラフィック・アプリケーションにおける線の生成がある。これは、一般にブレーゼンハムの線アルゴリズム

(Bresenham's Line Algorithm) として知られる繰返しアルゴリズムによって行なうことができる。このアルゴリズムは、初期水平及び垂直線位置の

態になると、モード信号と最初の行アドレスをメモリに供給し、したがって、適切な行変化モードの中にメモリをセットし、最初の行アドレスを選択する。

(C) . 最初の列アドレス・ストローブが活動状態になると、最初の列アドレスを、最初の行アドレス及び列アドレスによって指定された場所にアクセスするため、及びその場所に画素データをプロットするために、メモリに供給する。

(D) . 増分線画アルゴリズムにしたがって、線の次点のための列アドレスと、行変化信号として使用される誤差項を決定し、行変化が次点のために必要か否かを示す。

(E) . 次の列アドレス・ストローブが、次点のための適切な場所にアクセスするため、及びその場所に画素データをプロットするために、列アドレスと行変化信号をメモリに供給する。

(F) . 線の更新が完成するまで、線の上の次点についてステップ D と E を繰り返す。

特定の例について説明したが、本発明は、これ

画定で構成され、次に各水平アドレス位置について、ステップが直交方向に作られるべきか否かを判定する誤差項を計算する。非常に効果的であるが、このようなアルゴリズムのプロット性能は、従来の技術では、水平方向のみのページ・モード画素記憶を許すフレーム・バッファ・メモリ技術のために制約されている。ランダム・サイクルの性能は、ランダム・サイクル・タイミングをアプローチする最悪の場合の性能 (垂直線作画) での各直交変換中に発生する。しかし、本発明によるランダム・アクセス・メモリを用いる表示メモリは、ページ・モード周波数に近づくプロット性能を達成することができる。本発明によるランダム・アクセス・メモリからなるフレーム・バッファを有する表示システムにおける、線を更新するために必要な動作は、下記のように要約される。

(A) . 線の出発点のための最初の行アドレスと列アドレス、及び線の次点への方向を決定する。

(B) . 線の次点への方向の行変化モード信号表示を発生させ、行アドレス・ストローブが活動状

に限定されることはなく、多くの追加及び改訂が可能である。

たとえば、モード信号と行変化信号は、両方ともそれらの適切なタイミングで共用 R C 線に供給されるが、これらは、分離された専用線、または問題のタイミングで使用されていない線に供給されることもできる。列アドレス・ビットよりも多くの行アドレス・ビットを要求する前述のようなメモリでは、行変化信号は、列サイクル中に使用されないアドレス線の 1 つに供給されることができ

その上に、モード信号が、R A S が活動状態のときに使用されないメモリのために、または他の入力部の信号をコーディングすることによって、またはレジスタ中のデータから、入力部 (たとえば機能ピン) に供給される場合には、本発明は、モード変化信号及び行変化信号のためのメモリへの特別の入力線を必要とせず実現できる、と見ることができる。

また、前記の例では、行変化モードの選択は、

行増分モードと行減分モードとの間にある。しかし、色々な行変化モードが定義できる。たとえば、選択は正とゼロの増分の間にあってもよい。この選択は、倍長行をシミュレートするために望ましいかもしれない。また、多ビット行変化信号に回答できるように制御手段を設計して、3つ以上の行変化モードを提供することもできる。また、制御手段を実行して、行変化の方向または大きさ、またはその両方を、ページ・モード・サイクル中に変えることもできる。このようなメモリが図形表示システムで使用されるならば、曲線、円、円弧、または他の複雑な図形をプロットするための高い柔軟性が得られ、かつページ・モードの性能上の利点を維持することになる。

#### F. 効果

本発明によれば、水平線更新、垂直線更新の速い、ページ・モード動作可能なメモリが得られる。

#### 4. 図面の簡単な説明

第1図は、第2図のタイミング図と一致する方法で複数のサブアレイ行にアクセスする手段を有

する、本発明の1実施例を示す図である。

第2図は、160 nsのランダム・アクセス・サイクル時間と40 nsのページ・モード・サイクル時間を有するメモリと一致する、本発明によるメモリの例における垂直線画のための、タイミング図である。

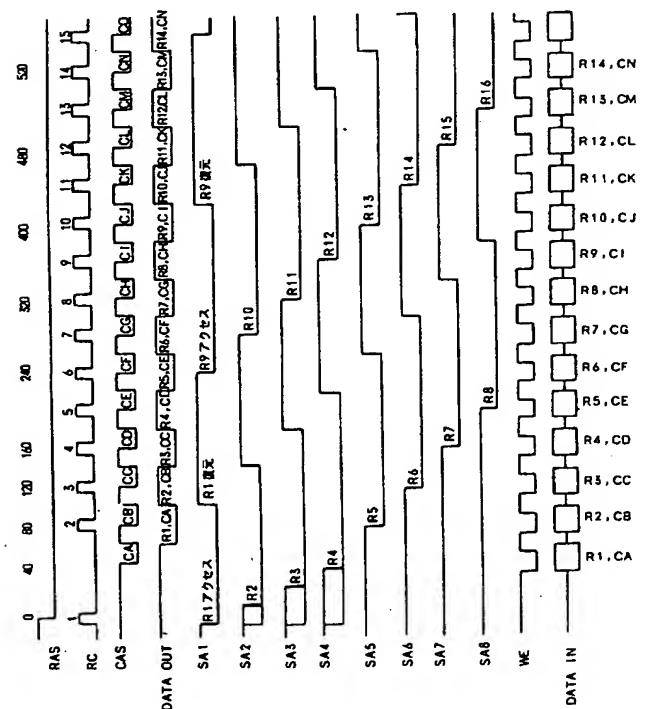
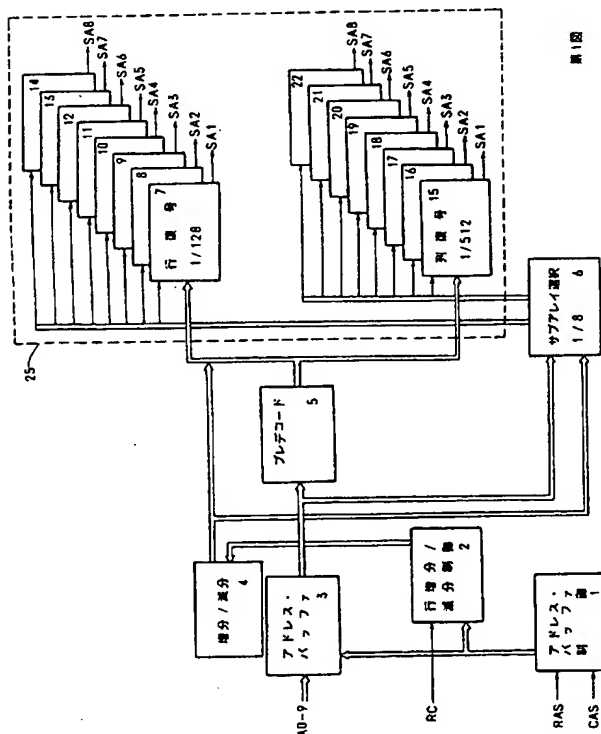
第3図は、第1図の実施例と一致する、メモリ・サブアレイ中の物理的行配置を示す、物理的チップ態様の図である。

第4図は、本発明を組み込むことができる表示システムの概略ブロック図である。

第5図は、表示メモリ内の表示データの典型的な構成を示す図である。

第6図は、160 nsのランダム・アクセス・サイクル時間を有するメモリと一致する、表示メモリ中の後続行にアクセスする垂直線更新のための、従来型RAM動作のタイミング図である。

1...アドレス・バッファ制御回路、2...行増分/減分制御回路、3...アドレス・バッファ、4...増分/減分回路、25...復号器回路。



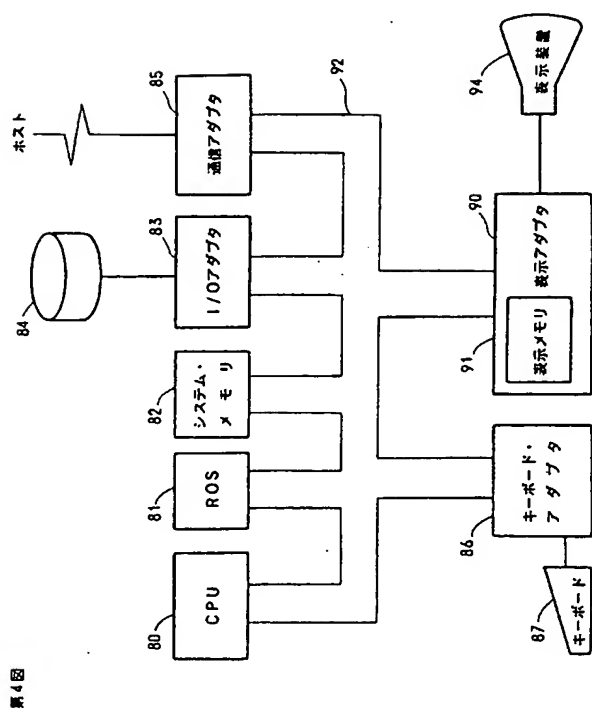
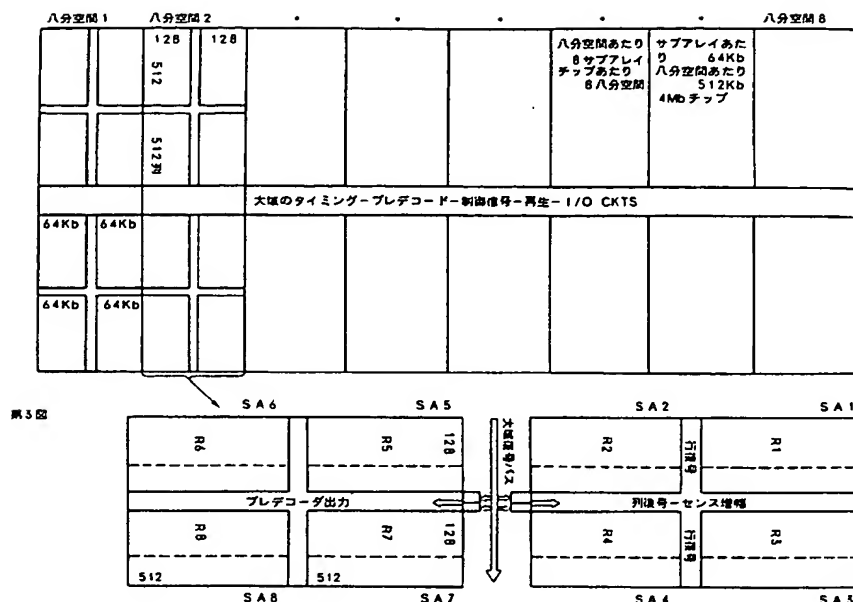
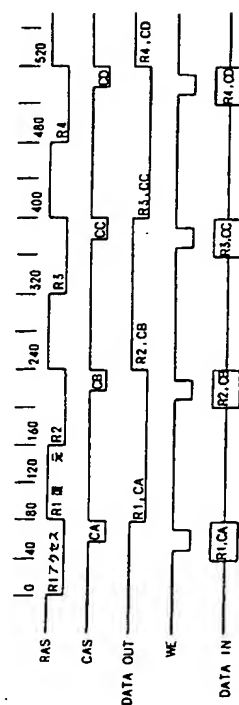


図5図

R1	Ca	Ca+1	Ca+2	Ca+3	Cb+1	Cb+2	Cb+3	Cc+1	Cc+2	Cc+3	Cd+1	Cd+2	Cd+3	Cx+1
R2	Cb	Cb+1	Cb+2	Cb+3	Cc+1	Cc+2	Cc+3	Cd+1	Cd+2	Cd+3	Cx+1	Cx+2	Cx+3	Cx+4
R3	Cc	Cc+1	Cc+2	Cc+3	Cd+1	Cd+2	Cd+3	Cx+1	Cx+2	Cx+3	Cx+4	Cx+5	Cx+6	Cx+7
R4	Cd	Cd+1	Cd+2	Cd+3	Cx+1	Cx+2	Cx+3	Cx+4	Cx+5	Cx+6	Cx+7	Cx+8	Cx+9	Cx+10
R5	Cx	Cx+1	Cx+2	Cx+3	Cx+4	Cx+5	Cx+6	Cx+7	Cx+8	Cx+9	Cx+10	Cx+11	Cx+12	Cx+13



第1頁の続き

⑫発 明 者

アドリアン・チャール  
ズ・ガイ

イギリス国ハンプシャー、ファレハム、ファレハム・パー  
ク・ロード29番地

⑬発 明 者

トッド・ウィリアムズ

アメリカ合衆国ヴァーモント州バーリントン、エセツク  
ス・ジャンクション、ボックス364番地